

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-152574

(43)Date of publication of application : 18.06.1993

(51)Int.Cl.

H01L 29/784

H01L 27/06

H01L 29/91

(21)Application number : 03-315691

(71)Applicant : FUJI ELECTRIC CO LTD

(22)Date of filing : 29.11.1991

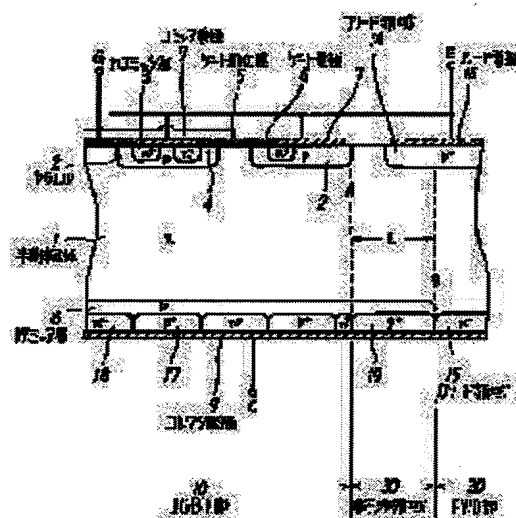
(72)Inventor : KIRIHATA FUMIAKI

(54) SEMICONDUCTOR DEVICE

(57)Abstract:

PURPOSE: To enable low-impedance wiring by making an insulated gate type bipolar transistor(IGBT) and a free wheeling diode(FWD) into one chip.

CONSTITUTION: An FWD part 20, which has a p⁺-anode region 14 and an n⁺-region 15, is made on an n-type silicon substrate 1, where an IGBT part 10 having a p-well 2, an n-emitter layer 3, and a p-emitter layer 8 is made, whereby those are made monolithic. An emitter electrode 7 in the IGBT part 10 and the anode electrode 16 in the FWD part 20 and the connection between them are made integrally by Al deposition. What is more, to materialize low inductance, it is effective to fuse or pressure-weld an electrode plate to the anode electrode 16, and at time same time, connect an electrode plate to time collector electrode 9, too, on the other side of the substrate 1. Hereby, low-impedance wiring becomes possible.



LEGAL STATUS

[Date of request for examination] 17.10.1997

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration] withdrawal

[Date of final disposal for application] 08.10.1999

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(11)特許出願公開番号

特開平5-152574

(43)公開日 平成5年(1993)6月18日

技術表示箇所

29/91

3 2 1 J

1 0 1 D

審査請求 未請求 請求項の数7(全 5 頁) 最終頁に続く

(22)出願日 平成3年(1991)11月29日

神奈川県川崎市川崎区田辺新田1番1号

神奈川県川崎市川崎区田辺新田1番1号

富士電機株式会社内

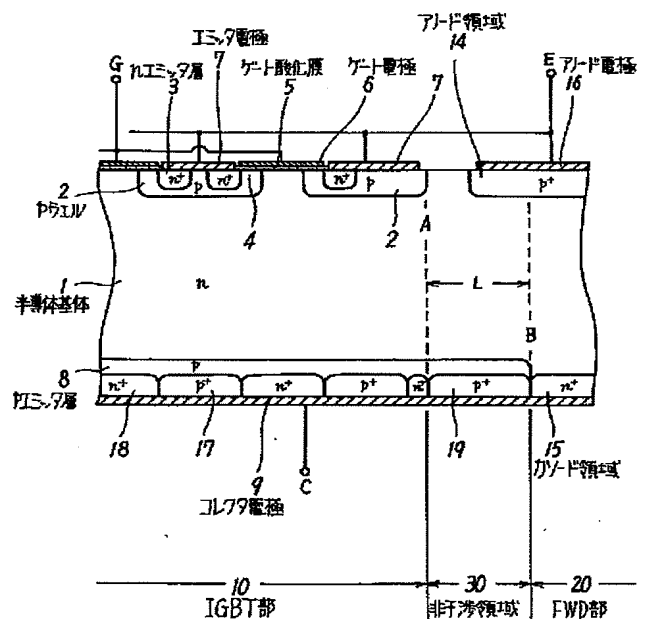
(74)代理人 弁理士 山口 巖

(54)【発明の名称】 半導体装置

(57) 【要約】

【目的】絶縁ゲート型バイポーラトランジスタに個別素子のフライホイーリングダイオードを接続すると、高電力密度化が難しく、また接続導線のインダクタンスのために高速化も困難である欠点を解消する。

【構成】一つの半導体基体にIGBTとFWDを形成して高電力密度化をはかり、IGBTのエミッタ電極とFWDの主電極を一体化することによりインダクタンスを低減する。また両者の間に非干渉領域を設けることにより、ダイオードの逆回復時の干渉効果によってIGBTがラッチアップするのを防ぐ。



【特許請求の範囲】

【請求項 1】 第一導電型で低不純物濃度の半導体基体の一側の表面層に、さらにその表面層に第一導電型で高不純物濃度の第二領域を有する第二導電型の第一領域と、第二導電型で高不純物濃度の第三領域とが形成され、その半導体基体本来の領域の露出面と第二領域とはさまれた第一領域の表面上にゲート絶縁膜を介してゲート電極が設けられ、その半導体基体の他側の表面層に第一領域に対向して第二導電型の第四領域、第三領域に対向して第四領域に隣接する第一導電型で高不純物濃度の第五領域が形成され、第一領域と第二領域とに共通に第一電極、第二領域に第二電極がそれぞれ接触して互いに接続され、第四領域、第五領域に共通に第三電極が接触することを特徴とする半導体装置。

【請求項 2】 第一導電型で低不純物濃度の半導体基体の一側の表面層に、さらにその表面層に第一導電型で高不純物濃度の第二領域を有する第二導電型の第一領域と、第二導電型で高不純物濃度の第三領域とが形成され、その半導体基体本来の領域の露出面と第二領域とはさまれた第一領域の表面上にゲート絶縁膜を介してゲート電極が設けられ、その半導体基体の他側の表面層に第一領域に対向して第二導電型の第四領域、第三領域に対向して第四領域に隣接する第一導電型で高不純物濃度の第五領域が形成され、第四領域の表面層に第一導電型で高不純物濃度の第六領域と第二導電型で高不純物濃度の第七領域が形成され、第一領域と第二領域とに共通に第一電極、第二領域に第二電極がそれぞれ接触して互いに接続され、第五領域、第六領域および第七領域に共通に第三電極が接触することを特徴とする半導体装置。

【請求項 3】 第一領域の第三領域に最も近い部分には第二領域および表面上のゲート電極が設けられない請求項 1 あるいは 2 記載の半導体装置。

【請求項 4】 第一領域と第三領域との間に間隔がある請求項 1、2 あるいは 3 記載の半導体装置。

【請求項 5】 第三領域が第一領域を囲み、両領域の間に第二導電型のガードリング領域が形成された請求項 4 記載の半導体装置。

【請求項 6】 第三領域に最も近い第一領域の縁を含む半導体基体の表面に垂直な面と第五領域の第四領域に接する縁を含む半導体基体の表面に垂直な面との距離 L が、半導体基体本来の領域の少数キャリアのライフタイムを τ とするとき、 $L \geq 40\tau^{1/2}$ である請求項 1 ないし 5 のいずれかに記載の半導体装置。

【請求項 7】 第一電極と第二電極が半導体基体表面との間に絶縁膜を介する導体層により接続され、第二電極に外部との接続のための導線が結合された請求項 1 ないし 6 のいずれかに記載の半導体装置。

【発明の詳細な説明】**【0001】**

【産業上の利用分野】 本発明は、インバータなどの電力

変換装置に用いられる電圧駆動可能な絶縁ゲート型バイポーラトランジスタ（以下 IGBT と略す）を含む半導体装置に関する。

【0002】

【従来の技術】 方向性のある半導体素子に逆並列に接続される逆方向に主電流を流すダイオードはフリーホイーリングダイオード（以下 FWD と略す）として知られている。図 2 はそのような FWD と IGBT を示し、IGBT チップ 10 は n 層 1 の一側の表面層に p ウエル 2 を形成し、さらにその表面層に n エミッタ層 3 を形成し、p ウエル 2 の n 層 1 の露出部と n エミッタ層 3 にはさまれたチャネル部 4 の上にゲート酸化膜 5 を介してゲート端子 G に接続されるゲート電極 6 を設け、p ウエル 2 および n エミッタ層 3 の表面に共通にエミッタ電極 7 を接触させ、n 層 1 の他側に隣接する p エミッタ層 8 の表面にコレクタ電極 9 を接触させてなる。Al の蒸着により形成されるエミッタ電極 7 には n エミッタ層 3 を形成しない p ウエル 11 の上にパッド部 12 が設けられる。またチップの縁部には耐圧向上のために p 型ガードリング 13 が、この場合は 2 段に形成されている。一方、FWD チップ 20 は n 層 21 の一側の表面層に p⁺ アノード領域 22 を形成し、その表面に Al の蒸着により形成されるアノード電極 23 を接触させ、他側に隣接する n⁺ 領域 24 にカソード電極 25 を接触させてなる。この場合も p 型ガードリング 26 がチップ縁部に設けられている。FWD チップ 20 のカソード電極 25 は IGBT チップ 10 のコレクタ電極 9 とともに容器の中の金属板にはんだ付けされ、共通のコレクタ端子 C に接続される。一方、IGBT チップ 10 のパッド部 12 および FWD チップ 20 のアノード電極 23 はそれぞれにボンディングした Al 線 27 によりエミッタ端子 E に接続される。

【0003】

【発明が解決しようとする課題】 図 2 に示すような IGBT チップ 10 と FWD チップ 20 の二つを一つの容器内に配置する場合、2 チップの間には、耐圧上必要な縁面距離をとるためとチップの裏面のはんだ付けでの余裕しろをとるために間隙をあける必要がある。また、IGBT チップ 10 にはボンディングパッド部 12 を設ける必要がある。このようなことから、チップそのものや容器内配置において、高電力密度化を図るのが困難である。さらに、アルミニウム導線 27 をボンディングすることによって配線する構造であるため、容器内のインダクタンスが増大するとともにチップ間でのばらつきが大きく、高速化や大電流容量化が困難であるという欠点がある。

【0004】 本発明の目的は、上述の欠点を除き、IGBT と FWD を有し、低インダクタンスで高速化が可能な半導体装置を提供することにある。

【0005】

【課題を解決するための手段】 上記の目的を達成するために、本発明の半導体装置は、第一導電型で低不純物濃

度の半導体基体の一侧の表面層に、さらにその表面層に第一導電型で高不純物濃度の第二領域を有する第二導電型の第一領域と、第二導電型で高不純物濃度の第三領域とが形成され、その半導体基体本来の領域の露出面と第二領域とにはさまれた第一領域の表面上にゲート絶縁膜を介してゲート電極が設けられ、その半導体基体の他側の表面層に第一領域に対向して第二導電型の第四領域、第三領域に対向して第四領域に隣接する第一導電型で高不純物濃度の第五領域が形成され、第一領域と第二領域とに共通に第一電極、第二領域に第二電極がそれぞれ接触して互いに接続され、第四領域、第五領域に共通に第三電極が接触するものとする。あるいは、第四領域の表面層に第一導電型で高不純物濃度の第六領域と第二導電型で高不純物濃度の第七領域が形成され、第五領域、第六領域および第七領域に共通に第三電極が接触するものとする。

【0006】そして、第一領域の第三領域に最も近い部分には第二領域および表面上のゲート電極が設けられないことが有効である。また、第一領域と第三領域との間に間隔があることが有効であり、その際、第三領域が第一領域を囲み、両領域の間に第二導電型のガードリング領域が形成されたことも有効である。あるいはまた、第二領域に最も近い第一領域の縁を含む半導体基体の表面に垂直な面と第五領域の第四領域に接する縁を含む半導体基体の表面に垂直な面との距離 L が、半導体基体本来の領域の少数キャリアのライフタイムを τ とするとときに、 $L \geq 40\tau^{1/2}$ であることが効果的である。さらに、第一電極と第二電極が半導体基体表面との間に絶縁膜を介する導体層で接続され、第二電極に外部との接続のための導線が結合されることが有効である。

【0007】

【作用】半導体素体とそれに形成された第一領域、第二領域、表面上にゲート絶縁膜を介して設けられたゲート電極、第四領域ならびに第一電極、第三電極によりIGBTが構成され、半導体基体とそれに形成される第三領域、第五領域ならびに第二電極、第三電極によりダイオードが形成され、第一電極と第二電極が接続されるので、一つの半導体基体にIGBTとFWDが集積され、高密度化が達成され、相互の接続のための導線を省くことができるのでインダクタンスが減少し、高速化が可能になる。そして、第四領域を第五領域、第六領域を介して第三電極と接続する場合はコレクタ・ショート型になり、第四領域から基体本来の領域へのキャリアの注入効率を低下させ、スイッチング損失を減らす効果がある。第一領域の第三領域に最も近い部分にMOS構造を設けないこと、さらに両領域の間隔を明けることは、MOS構造からのダイオード部へのキャリアの注入を防ぐ。さらに第一領域と第五領域の間隔 L を $40\tau^{1/2}$ とすることにより、ダイオードが逆回復するときのIGBT部にラッチアップを起こす干渉効果を防止できる。また、IG

BT部とFWD部の間にガードリングを設けることにより、空乏層を第一領域の下から第三領域の下へ伸ばして耐圧を確保することができる。

【0008】

【実施例】図1は本発明の一実施例の逆導通IGBTを示し、図2と共通の部分には同一の符号が付されている。pウエル2、nエミッタ層3、pエミッタ層8を有するIGBT部10を形成したn型シリコン基体1にp⁺アノード領域14とn⁺領域15を有するFWD部20が形成されて1チップ化されている。IGBT部10のエミッタ電極7およびダイオード部20のアノード電極16とそれらの間の接続部分はAl蒸着により一体に形成される。接続部分とシリコン基体とは酸化膜によって絶縁されている。IGBT部10のpウエル2の内、ダイオードのアノード領域14に最も近いところには、ダイオードからの干渉効果を低減させるため、n⁺エミッタ層3、表面上のゲート酸化膜5およびゲート電極6を設けない。またこのpウエル2とFWD部のp⁺領域14との間には間隔を設けている。

【0009】シリコン基体1の他方の側にIGBT部においてはpエミッタ層8が形成されているが、さらにその表面層にp層8よりも浅い拡散層であるp⁺領域17およびn⁺領域18が交互に形成され、その上にコレクタ電極9が接触することによりコレクタ・ショート構造となっている。すなわち、n⁺領域18の存在が、p⁺領域17とpエミッタ層8を通しての正孔の注入効率を低下させ、ターンオフ時のスイッチング損失を低減する働きをする。IGBT部10とFWD部20の間に設けられる非干渉領域30には、このコレクタ側の表面層にp⁺領域19が形成されており、FWD部20のp⁺アノード領域14から注入された正孔を吸い出す働きをするので、干渉効果の低減に役立つ。

【0010】FWD部20の同じ側の表面層に形成されるn⁺領域15はダイオードのカソードとなる。このn⁺領域15の縁部を通る基体1の主面に垂直な断面Bと、IGBT部10のFWD部に最も近いpウエル2の縁部を通る垂直断面Aの間には間隔を設け非干渉領域30とする。この間の距離 L 〔 μm 〕が零のときは、ダイオードが逆回復するときにIGBTがラッチアップする現象が観測された。デバイスシミュレーションと実験によれば、このダイオードの干渉効果は L が次の条件のとき起こらないことが確認された。

$$L \geq 40\tau^{1/2} \quad \text{————— (1)}$$

ここで τ 〔 μs 〕はダイオード部のn⁻層1の少数キャリアのライフタイムである。図1に示した実施例では $L = 90\mu\text{m}$ であった。このような逆導通IGBTチップを容器内に収容して、従来より20%以上の高電力密度を得ることができた。

【0011】図3は本発明の別の実施例の逆導通IGBTを示す。FWD部20のライフタイムが小さくできない

場合には、式(1)からもわかるようにLを大きくする必要がある。この場合もFWD部20の p^+ アノード領域14をIGBT部10のpウェル2の端部Aより遠く離れた方が干渉効果の低減に効果がある。しかし、この距離が長くなると、空乏層の限界が表面に出て耐圧が低下するおそれがあるため、pウェル2の端部Aと p^+ 領域14の間に図示のように p^+ ガードリング領域13をもける。

【0012】前述のようにアノード電極16はエミッタ電極7と一体に形成されているので、エミッタ端子Eとの接続は、アノード電極16をパッド部としてのA1線のボンディングによって行うことができる。より低インダクタンス化を図るためには、アノード電極16に電極板を融着あるいは圧着することが有効であり、同時に基体の他面側のコレクタ電極9にも電極板を接続するとよい。

【0013】

【発明の効果】本発明によれば、IGBTとFWDを1チップ化して逆導通IGBTとすることによりチップ間隙が不要となり、またIGBTのエミッタ電極とFWDの主電極とを一体に形成できるため、両電極間の導線による接続が不要になり、低インダクタンス配線が可能となった。さらに、IGBT部とFWD部の間に非干渉領域を設けることで、ダイオードの逆回復時の電圧あるいは電流の変化によってIGBTがラッチアップすることを防止することができた。これらの結果、低インダクタンスで高電力密度の電力変換装置用半導体装置が実現

可能になった。

【図面の簡単な説明】

【図1】本発明の一実施例の逆導通IGBTの断面図

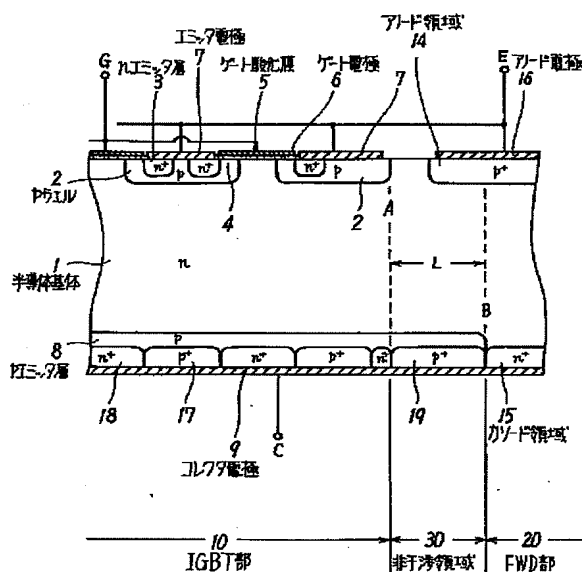
【図2】従来のIGBTとFWDの断面図

【図3】本発明の別の実施例の逆導通IGBTの断面図

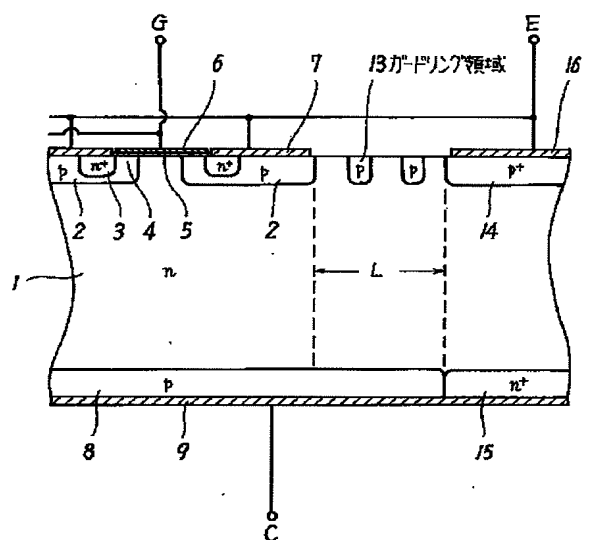
【符号の説明】

- 1 半導体基体
- 2 pウェル
- 3 nエミッタ層
- 5 ゲート酸化膜
- 6 ゲート電極
- 7 エミッタ電極
- 8 pエミッタ層
- 9 コレクタ電極
- 13 ガードリング領域
- 14 p^+ アノード領域
- 15 n^+ カソード領域
- 16 アノード電極
- 17 p^+ 領域
- 18 n^+ 領域
- 19 p^+ 領域
- 10 IGBT部
- 20 FWD部
- 30 非干渉領域

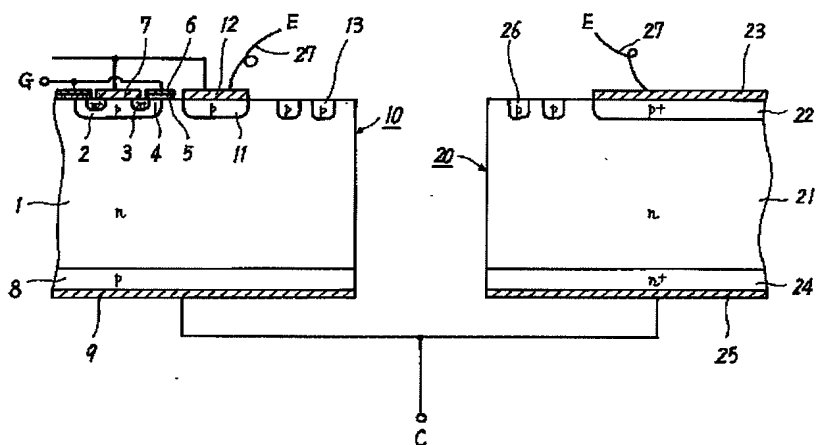
【図1】



【図3】



【図2】



フロントページの続き

(51) Int. Cl. 5

識別記号

庁内整理番号

F I

技術表示箇所

9168-4M

H O I L 29/78

3 2 1 K

8225-4M

29/91

L